

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-041498

(43)Date of publication of application : 19.02.1993

(51)Int.Cl.

H01L 27/092

H03B 5/36

(21)Application number : 03-196750

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 06.08.1991

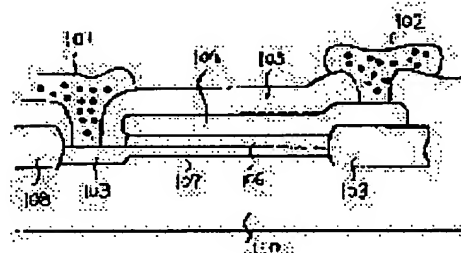
(72)Inventor : YAMADA ICHIRO

## (54) CRYSTAL OSCILLATION CIRCUIT

### (57)Abstract:

**PURPOSE:** To suppress the shifting of an oscillation frequency caused by a parasitic capacitance added to a power source having a series capacity by connecting the capacity of a polysilicon electrode having a smaller parasitic capacitance to the input terminal side of an oscillation inverter and a diffusion-side electrode having a larger parasitic capacitance to a terminal connected with a crystal vibrator.

**CONSTITUTION:** An N-diffusion area 103 and N-implanted area 107 are faced to polysilicon 104 with a gate oxide film 106 in between the surface of a P-type silicon substrate 110 and the area 103 is connected with aluminum 101 and constitutes the first electrode. The polysilicon 104 is also connected to aluminum 102 and constitutes the second electrode. No parasitic capacitance having a voltage dependency exists in the polysilicon-side electrode 102. Therefore, when the electrode 102 is connected to the input side of an oscillation inverter and the electrode 101 on the N diffusion side is connected to a crystal vibrator, the occurrence of frequency variation caused by the addition of a series capacity can be suppressed.



## LEGAL STATUS

[Date of request for examination] 15.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3221005

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

- 5 Japan Patent Office is not responsible for any damages caused by the use of this translation.
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

10

---

CLAIMS

---

15 [Claim(s)]

[Claim 1] It is the ridge oscillator characterized by connecting the input terminal which connects a quartz resonator, and the input terminal of said inverter through capacity in the ridge oscillator using a CMOS inverter, and connecting the electrode by the side of the polish recon of said capacity to the input terminal of said inverter with the structure where said capacity uses diffusion as an electrode with polish recon.

20

[Claim 2] Capacity is a ridge oscillator according to claim 1 characterized by consisting of two-layer polish recons and connecting the electrode by the side of polish recon far from a wafer to the input terminal of HAIN barter.

25

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

30 [Industrial Application] This invention relates to the configuration of a low-power ridge oscillator.

[0002]

[Description of the Prior Art] Conventionally, since what has the engine performance of being comparatively [ with few component parts ] good is obtained, the ridge oscillator using a CMOS inverter has been used abundantly for clocks.

35

[0003] However, in order to reply to the request of the formation of a small thin shape of equipment, there is the need of advancing low-power-ization of a ridge oscillator. As a last-minute electrical potential difference which carries out Xtal oscillating actuation for the supply voltage supplied to a ridge oscillator for that purpose, a means to hold down reactive power consumption to the minimum is used. At this time, stability \*\*\*\*\* of oscillation actuation of fluctuation of the bias potential of the oscillation inverter by the insulating fall of a mounting substrate causes fluctuation of an oscillation frequency. Therefore, the attempt which connects between the input terminal of a CMOS inverter and a quartz

40

resonator by capacity that the insulating fall of a mounting substrate should be coped with, and secures the stability of an oscillation has been made. This situation is shown in drawing 3 . In drawing 3 , the quartz resonator 301 is connected to the input of CMOS inverter 303 through capacity 302. Direct-current bias is given to CMOS inverter 303 by the feedback resistor 305. Fluctuation of the direct-current bias point of CMOS inverter 303 by poor insulation can be prevented by existence of capacity 302 to the substrate with which a quartz resonator is mounted.

[0004]

[Problem(s) to be Solved by the Invention] However, in a Prior art, it was not taken into consideration about the parasitic capacitance added to the electrode of capacity. Therefore, there was a case where the oscillation frequency drift by the shift of the oscillation frequency by the parasitic capacitance of capacity or fluctuation of the parasitic capacitance value by line voltage variation posed a problem, plentifully.

[0005]

[Means for Solving the Problem] This invention solves the above technical problem.

[0006] In this invention, the input terminal which connects a quartz resonator, and the input terminal of said inverter are connected through capacity, and said capacity is characterized by connecting the electrode by the side of the polish recon of said capacity to the input terminal of said inverter with the structure which uses diffusion as an electrode with polish recon.

[0007]

[Function] According to the configuration of this invention, the electrode by the side of diffusion with much parasitic capacitance is connected to the terminal side to which the capacity of a polish recon electrode with little parasitic capacitance is connected to the input terminal side of an oscillation inverter, and a quartz resonator is connected. Since external [ for frequency regulation ] or a built-in capacity is usually connected to the terminal side to which a quartz resonator is connected here, effect of parasitic capacitance can be lessened.

[0008]

[Example] This invention is explained more to a detail using a drawing. Drawing 3 is drawing having shown one example of this invention. In drawing 3 , the quartz resonator 301 is connected to the input edge of CMOS inverter 303 through capacity 302. The auto-bias of CMOS inverter 303 is carried out by the feedback resistor  $R_f$  305 and the oscillating limit resistance  $R_d$  304. The capacity  $C_g$  306 for oscillation frequency regulation is external or the configuration built in.

[0009] The sectional view at the time of manufacturing the capacity 302 used by drawing 3 in the one layer process of polish recons is shown in drawing 1 .

[0010] In drawing 1 , the surface N diffusion field 103 and N placing field 107 of the P type silicon substrate 110 have countered with the polish recon 104 through gate oxide 106, it connects with aluminum 101 and the 1st electrode is constituted, it connects with aluminum 102 and N diffusion field 103 constitutes the 2nd electrode also for the polish recon 104. 108, 109, and 105 are silicon oxide. if the opposed face product of the polish recon 104 and N placing field 107 is now set to S — the capacity C between an electrode 101 and 102 —  $C = S \cdot \epsilon_0 \cdot \epsilon_{\text{silicon}} / t$  —  $\epsilon_0$  is [ the specific inductive capacity of silicon oxide and t of the dielectric constant in a vacuum and  $\epsilon_{\text{silicon}}$  ] the thickness of gate oxide 106 here. In N placing field 107, the depletion layer capacitance of a PN junction is added to the N

diffusion 103 list connected to the electrode 101 so that more clearly than drawing 2 as parasitic capacitance between the P type silicon substrates 110. This depletion layer capacitance changes with the applied voltage between PN junctions. Depletion-layer breadth  $d$  is  $d = \sqrt{2\epsilon_{\text{silicon}} V_{\text{pn}} / q N_d}$ .

It is come out and expressed. The electrical potential difference and  $q$  by which the dielectric constant of silicon and  $N_d$  join high impurity concentration, and  $V_{\text{pn}}$  has joined [  $\epsilon_{\text{silicon}}$  ] the PN junction here are a coulomb. Depletion-layer breadth  $d$  is proportional to the root of the electrical potential difference  $V_{\text{pn}}$  currently impressed to the PN junction so that more clearly than this formula. Therefore, when using in an oscillator circuit etc., the electrical potential difference which joins a PN junction by operating supply voltage or the oscillation wave (peak to peak value) changes. This changes a depletion layer capacitance, has it and brings about frequency stability and an oscillation frequency drift.

[0011] The parasitic capacitance with such electrical-potential-difference dependence does not exist in the electrode 102 by the side of polish recon conversely so that more clearly than drawing. Therefore, the frequency drift by addition of a series capacitance can be stopped by connecting the electrode 102 by the side of polish recon to the input side of an oscillation inverter, and connecting the electrode 101 by the side of N diffusion to a quartz-resonator side.

[0012] The sectional view at the time of manufacturing the series capacitance 302 of drawing 3 in a polish recon two-layer process was shown in drawing 2 . In drawing 2 , the polish recon 207 of the 1st layer of the side near a silicon wafer 210 is connected with the aluminum electrode 202. The polish recon 204 of the 2nd layer of a side far from a silicon wafer 210 is connected with the aluminum electrode 201. The polish recon of the 1st layer and the 2nd layer has countered through the thin oxide film 206. In this way, capacity is respectively formed by using polish recon of the 1st layer and the 2nd layer as an electrode. The effect of the parasitic capacitance which exists slightly can be reduced by connecting to the input terminal of the inverter for the Xtal oscillation the aluminum electrode 201 connected with the polish recon 204 of the 2nd layer of a side far from a silicon wafer 210 here.

[0013]

[Effect of the Invention] According to this invention, a quartz resonator connects the electrode by the side of the diffusion which had a depletion layer capacitance with an electrical-potential-difference dependency as parasitic capacitance to the near terminal connected. Suppressing fluctuation of the direct-current bias point by the insulating fall of a mounting substrate by connecting the electrode by the side of polish recon with parasitic capacitance without an electrical-potential-difference dependency to the input side of an oscillation inverter The effect of the parasitic capacitance which a series capacitance furthermore has can be suppressed to the minimum, and a ridge oscillator with sufficient oscillation stability can be offered by the low consumed electric current.

[0014] By furthermore using two-layer polish recon, the effect of parasitic capacitance can be cut down more and a ridge oscillator with the further oscillation stability can be offered.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing having shown the cross section of capacity.

[Drawing 2] Drawing having shown the cross section of the capacity constituted from polish recon two-layer.

[Drawing 3] Drawing having shown the ridge oscillator which used this invention.

5 [Description of Notations]

101: Aluminum electrode

102: Aluminum electrode

103: N diffusion field

104: Polish recon electrode

10 105: Silicon oxide

106: Gate oxide

107: N placing field

108: Silicon oxide

109: Silicon oxide

15 110: P type silicon substrate

201: Aluminum electrode

202: Aluminum electrode

203: Silicon oxide

The polish recon electrode of the 204:2nd layer

20 205: Silicon oxide

206: Thin silicon oxide

The polish recon electrode of the 207:1st layer

210: Silicon substrate

25

---

[Translation done.]

5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-41498

(43) 公開日 平成5年(1993)2月19日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

H01L 27/092

H03B 5/36

8321-5J

7342-4M

H01L 27/08

321

M

審査請求 未請求 請求項の数2 (全3頁)

(21) 出願番号 特願平3-196750

(22) 出願日 平成3年(1991)8月6日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 山田 一郎

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

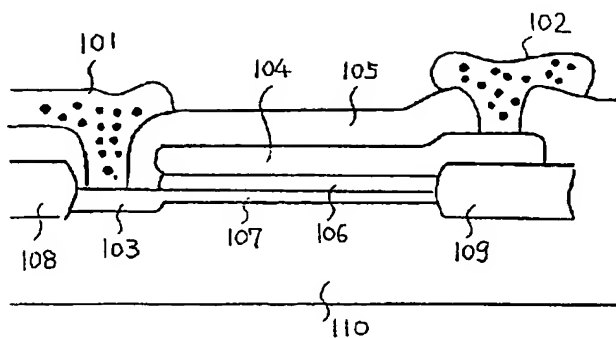
(54) 【発明の名称】 水晶発振回路

(57) 【要約】

【目的】 水晶発振回路に使用される直列容量の電極に付加される寄生容量による発振周波数のシフトを抑える。

【構成】 本発明では、水晶振動子を接続する入力端子と前記インバーターの入力端子とが容量を介して接続されており、前記容量はポリシリコンと拡散を電極とする構造で前記インバーターの入力端子に前記容量のポリシリコン側の電極が接続されていることを特徴とする

【効果】 実装基板の絶縁性低下による直流バイアス点の変動を抑えつつ、さらに直列容量が持つ寄生容量の影響を最小限に抑えることができ、低消費電流で発振安定性の良い水晶発振回路を提供することが出来る。



## 【特許請求の範囲】

【請求項 1】 C-MOS インバーターを用いた水晶発振回路において、

水晶振動子を接続する入力端子と前記インバーターの入力端子とが容量を介して接続されており、前記容量はポリシリコンと拡散を電極とする構造で前記インバーターの入力端子に前記容量のポリシリコン側の電極が接続されていることを特徴とする水晶発振回路。

【請求項 2】 容量は 2 層のポリシリコンで構成されていて、ウエハーに遠いポリシリコン側の電極がインバーターの入力端子に接続されていることを特徴とする請求項 1 記載の水晶発振回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は低消費電力水晶発振回路の構成に関する。

## 【0002】

【従来の技術】 従来 C-MOS インバーターを用いた水晶発振回路は構成部品が少ない割には性能の良いものが得られるため時計用に多用されてきた。

【0003】 しかし装置の小型薄型化の要請に答えるためには水晶発振回路の低消費電力化を進める必要が有る。そのためには水晶発振回路に供給する電源電圧を水晶振動動作をするぎりぎりの電圧として、無効電力消費を最小限に抑える手段が用いられる。この時実装基板の絶縁性低下による発振インバーターのバイアス電位の変動が発振動作の安定性ひいては発振周波数の変動を引き起こす。よって実装基板の絶縁性低下に対処すべく C-MOS インバーターの入力端子と水晶振動子間を容量で接続し発振の安定性を確保する試みがなされてきた。この様子を図 3 に示す。図 3 において水晶振動子 301 は容量 302 を介して C-MOS インバーター 303 の入力に接続されている。C-MOS インバーター 303 は直流バイアスを帰還抵抗 305 によって与えられている。水晶振動子が実装される基板に絶縁不良による C-MOS インバーター 303 の直流バイアス点の変動を容量 302 の存在により防止することが出来る。

## 【0004】

【発明が解決しようとする課題】 しかし従来の技術では容量の電極に付加される寄生容量については考慮されなかった。よって容量の寄生容量による発振周波数のシフトや電源電圧変動による寄生容量値の変動による発振周波数変動が問題となる場合が多々あった。

## 【0005】

【課題を解決するための手段】 本発明は以上の課題を解決するものである。

【0006】 本発明では、水晶振動子を接続する入力端子と前記インバーターの入力端子とが容量を介して接続されており、前記容量はポリシリコンと拡散を電極とする構造で前記インバーターの入力端子に前記容量のポリ

シリコン側の電極が接続されていることを特徴とする。

## 【0007】

【作用】 本発明の構成によれば、発振インバーターの入力端子側に寄生容量の少ないポリシリコン電極の容量が接続され、水晶振動子が接続される端子側に寄生容量の多い拡散側の電極が接続される。ここで水晶振動子が接続される端子側には通常周波数調整用の外付けあるいは内蔵の容量が接続されるので寄生容量の影響を少なくすることが出来る。

## 【0008】

【実施例】 本発明を図面を用いてより詳細に説明する。図 3 は本発明の 1 実施例を示した図である。図 3 において水晶振動子 301 は容量 302 を介して C-MOS インバーター 303 の入力端に接続されている。帰還抵抗  $R_f$  305 と振動制限抵抗  $R_d$  304 とで C-MOS インバーター 303 は自己バイアスされている。発振周波数調整用の容量  $C_g$  306 が外付けあるいは内蔵されている構成である。

【0009】 図 1 には図 3 で用いられた容量 302 をポリシリコン 1 層プロセスで製造した場合の断面図を示している。

【0010】 図 1 において P 型シリコン基板 110 の表面 N 拡散領域 103 と N 打ち込み領域 107 がゲート酸化膜 106 を介してポリシリコン 104 と対向しており、N 拡散領域 103 はアルミニウム 101 に接続されて第 1 の電極を構成し、ポリシリコン 104 もアルミニウム 102 に接続されて第 2 の電極を構成している。108、109、105 は酸化シリコンである。いまポリシリコン 104 と N 打ち込み領域 107 の対向面積を S とすると電極 101 と 102 間の容量 C は

$$C = S * \epsilon_0 * \epsilon_r / t$$

ここで  $\epsilon_0$  は真空中の誘電率、 $\epsilon_r$  は酸化シリコンの比誘電率、 $t$  はゲート酸化膜 106 の厚みである。図 2 より明らかなように電極 101 に接続されている N 拡散 103 並びに N 打ち込み領域 107 には P 型シリコン基板 110 との間で PN 接合の空乏層容量が寄生容量として付加される。この空乏層容量は PN 接合間の印加電圧により変化する。空乏層広がり  $d$  は

$$d = \sqrt{2 \epsilon V_{pn} / q N_d}$$

で表わされる。ここで  $\epsilon$  はシリコンの誘電率、 $N_d$  は不純物濃度、 $V_{pn}$  は PN 接合に加わっている電圧、 $q$  はクーロンである。この式より明らかなように空乏層広がり  $d$  は PN 接合に印加されている電圧  $V_{pn}$  のルートに比例している。よって発振回路などで用いる場合、使用電源電圧や発振波形（ピークピーク値）によって PN 接合に加わる電圧が変わる。これが空乏層容量を変化させ、もって周波数安定性や発振周波数変動をもたらす。

【0011】 図より明らかなように逆にポリシリコン側の電極 102 にはこのような電圧依存をもった寄生容量は存在しない。従ってポリシリコン側の電極 102 を発



振インバーターの入力側に接続し、N拡散側の電極101を水晶振動子側に接続することにより直列容量の付加による周波数変動を抑えることが出来る。

【0012】図2には図3の直列容量302をポリシリコン2層プロセスで製造した場合の断面図を示した。図2においてシリコンウエハー210に近い側の第1層目のポリシリコン207はアルミニウム電極202につながれている。シリコンウエハー210から遠い側の第2層目のポリシリコン204はアルミニウム電極201につながれている。第1層目と第2層目のポリシリコンは薄い酸化膜206を介して対向している。こうして第1層目と第2層目のポリシリコンを各々電極として容量が形成されている。ここでシリコンウエハー210から遠い側の第2層目のポリシリコン204につながれているアルミニウム電極201を水晶発振用インバーターの入力端子に接続することによりわずかに存在する寄生容量の影響を低減することが出来る。

#### 【0013】

【発明の効果】本発明によれば、電圧依存性をもつ空乏層容量を寄生容量としてもった拡散側の電極を水晶振動子が接続される側の端子に接続し、電圧依存性の無い寄生容量を持ったポリシリコン側の電極を発振インバーターの入力側に接続することにより実装基板の絶縁性低下による直流バイアス点の変動を抑えつつ、さらに直列容量が持つ寄生容量の影響を最小限に抑えることができ、低消費電流で発振安定性の良い水晶発振回路を提供することが出来る。

【0014】さらに2層ポリシリコンを用いることによ

り寄生容量の影響をより縮減する事が出来、さらなる発振安定性を持った水晶発振回路を提供することが出来る。

#### 【図面の簡単な説明】

【図1】 容量の断面を示した図。

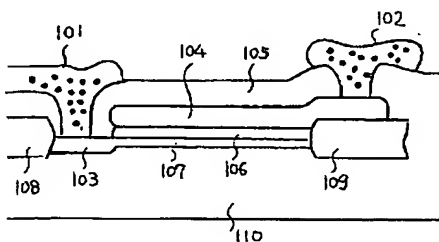
【図2】 ポリシリコン2層で構成した容量の断面を示した図。

【図3】 本発明を使用した水晶発振回路を示した図。

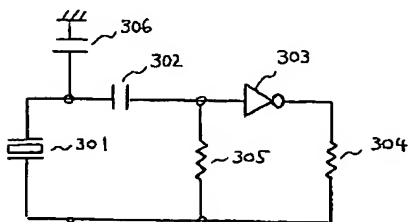
#### 【符号の説明】

- 101：アルミニウム電極
- 102：アルミニウム電極
- 103：N拡散領域
- 104：ポリシリコン電極
- 105：シリコン酸化膜
- 106：ゲート酸化膜
- 107：N打ち込み領域
- 108：シリコン酸化膜
- 109：シリコン酸化膜
- 110：P型シリコン基板
- 201：アルミニウム電極
- 202：アルミニウム電極
- 203：シリコン酸化膜
- 204：2層目のポリシリコン電極
- 205：シリコン酸化膜
- 206：薄いシリコン酸化膜
- 207：1層目のポリシリコン電極
- 210：シリコン基板

【図1】



【図3】



【図2】

